

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

03559297 **Image available**
DIGITAL SOUND SOURCE DEVICE AND EXTERNAL MEMORY CARTRIDGE USED
THEREFOR

PUB. NO.: 03-222197 [JP 3222197 A]
PUBLISHED: October 01, 1991 (19911001)
INVENTOR(s): NAKAGAWA KATSUYA
 YAMATO SATOSHI
 TANAKA HIDEKI
APPLICANT(s): NINTENDO CO LTD [352321] (A Japanese Company or Corporation),
 JP (Japan)
APPL. NO.: 02-016473 [JP 9016473]
FILED: January 26, 1990 (19900126)

ABSTRACT

PURPOSE: To lighten the burden of a CPU, and to realize rapid processing by reading continuously a storage data string until a stop code is read under CPU- control based on the program data of a memory, and outputting it through a register.

CONSTITUTION: An address decoder 15, a control register 18, and a read.write control circuit 20, etc., are controlled as required correspondingly to an operation mode through the CPU 11 according to a program read out of the program data storage area of a semiconductor memory 14, and a write signal W is supplied to the data register 16 of a buffer circuit. Then, the quantized data string of the memory 14 is read continuously according to addresses A0 to A15 from the CPU 11 to an address bus 12 until the stop code is read, and is accumulated in the register 16, and sound source information is outputted through a D/A converter 17. Through this configuration of a few processing steps, the burden of the CPU can be lightened, and processing speed can be increased.

⑫ 公開特許公報(A) 平3-222197

⑬ Int.Cl.³

G 11 C 27/00
A 63 F 9/22
G 10 K 15/04
G 11 C 5/00

識別記号

3 0 2
3 0 1

庁内整理番号

C 7131-5B
E 8102-2C
F 8842-5D
Z 7131-5B

⑭ 公開 平成3年(1991)10月1日

審査請求 未請求 請求項の数 4 (全12頁)

⑮ 発明の名称 デジタル音源装置、およびそれに用いられる外部メモ리카ートリッジ

⑯ 特 願 平2-16473

⑰ 出 願 平2(1990)1月26日

⑱ 発 明 者 中 川 克 也 京都府京都市東山区福福上高松町60番地 任天堂株式会社内

⑱ 発 明 者 大 和 聡 京都府京都市東山区福福上高松町60番地 任天堂株式会社内

⑱ 発 明 者 田 中 英 樹 京都府京都市東山区福福上高松町60番地 任天堂株式会社内

⑲ 出 願 人 任天堂株式会社 京都府京都市東山区福福上高松町60番地

明細書

1、発明の名称

デジタル音源装置、およびそれに用いられる外部メモ리카ートリッジ

2、特許請求の範囲

(1) デジタル的に情報を処理するための中央処理装置、

前記中央処理装置に接続されるアドレスバス、

前記中央処理装置に接続されるデータバス、

前記アドレスバスならびに前記データバスに接続され、所定のアドレス空間に量子化データを記憶するための量子化データ記憶エリアと、前記中央処理装置からのアクセスに応じて少なくとも量子化データを読出制御するためのプログラムデータを記憶したプログラムデータ記憶エリアとを含む半導体メモリを備え、

前記半導体メモリは、前記量子化データ記憶エリアには一連の音を発生するための複数の量子化データを量子化データ列として記憶しかつ当該量子化データ列の最後のアドレスに終了コードを記

憶しておき、プログラムデータ記憶エリア内の或るアドレスには或るアドレス範囲の量子化データ列の読出開始アドレスを指定するための読出開始アドレスデータを記憶しておき、

さらに、前記データバスに接続され、書込信号が与えられる毎にデータバスから与えられる各量子化データを順次一時記憶するための一時記憶手段、

前記アドレスバスに接続され、前記中央処理装置から前記半導体メモリに与えられるアドレスデータが前記量子化データ記憶エリアを指定するものであることを検出する検出手段、

前記データバスに接続され、前記検出手段の出力がある毎に書込信号を発生して前記一時記憶手段に与えかつ前記終了コードを検出したとき書込信号の発生を停止する書込制御手段、および

前記一時記憶手段に一時記憶されている量子化データを順次アナログ信号に変換するデジタル/アナログ変換手段を備えた、デジタル音源装置。

(2) 前記書込制御手段は、終了コードを検出する終了コード検出手段を含み、さらに終了コード検出手段の出力にตอบสนองして前記中央処理装置に割込信号を与えて前記量子化データ記憶エリアをアドレス指定するのを禁止させる禁止手段を含む、請求項第1項記載のディジタル音源装置。

(3) 前記半導体メモリは、前記中央処理装置に画像表示のための演算処理を実行させるための画像処理データをさらに記憶し、

前記中央処理装置は、前記書込制御手段の禁止手段から割込信号が与えられたことにตอบสนองして画像処理データに基づく画像表示のための演算処理の実行に切り換える、請求項第2項記載のディジタル音源装置。

(4) ディジタル的に情報を処理するための中央処理装置と、中央処理装置にそれぞれ接続される第1のアドレスバスならびに第1のデータバスと、第1のアドレスバスならびに第1のデータバスに接続されるコネクタとから構成される情報処理装置に対して着脱自在な外部メモリカートリッジを

装着することによってディジタル的に音を発生するディジタル音源装置に用いられる、外部メモリカートリッジであって、

所定のアドレス空間に量子化データを記憶するための量子化データ記憶エリアと、前記中央処理装置からのアクセスに応じて少なくとも量子化データを読出制御するためのプログラムデータを記憶したプログラムデータ記憶エリアとを含む半導体メモリを備え、

前記半導体メモリは、前記量子化データ記憶エリアには一連の音を発生するための複数の量子化データを量子化データ列として記憶しかつ当該量子化データ列の最後のアドレスに終了コードを記憶しておき、プログラムデータ記憶エリア内の或るアドレスには或るアドレス範囲の量子化データ列の読出開始アドレスを指定するための読出開始アドレスデータを記憶しておき、

さらに、前記コネクタに着脱自在とされ、コネクタに差し込まれた際に前記第1のアドレスバスならびに前記第1のデータバスに接続される複数

の端子部と、各端子部を介して第1のアドレスバスならびに第1のデータバスを前記半導体メモリに接続するための第2のアドレスバスならびに第2のデータバスが形成された基板、

前記基板上に装着されかつ前記第2のデータバスに接続され、書込信号が与えられる毎に第2のデータバスから順次与えられる各量子化データを順次一時記憶するための一時記憶手段、

前記第2のアドレスバスに接続され、前記中央処理装置から前記半導体メモリに与えられるアドレスデータが前記量子化データ記憶エリアを指定するものであることを検出する検出手段、

前記第2のデータバスに接続され、前記検出手段の出力がある毎に前記一時記憶手段に書込信号を与えかつ前記終了コードを検出したとき書込信号の発生を停止する書込制御手段、および

前記一時記憶手段に一時記憶される量子化データを順次アナログ信号に変換して、前記基板の端子部を介してアナログ信号を出力するディジタル／アナログ変換手段を備えた、ディジタル音源装

置に用いられる外部メモリカートリッジ。

3、発明の詳細な説明

(産業上の利用分野)

この発明は、ディジタル音源装置およびそれに用いられる外部メモリカートリッジに関し、特に例えばテレビゲーム機のように音楽や効果音等の音に関する量子化データをメモリに記憶しておきその量子化データに基づいて音を出力するためのアナログ信号を発生するディジタル音源装置と、それに用いられる外部メモリカートリッジに関するものである。

(従来技術)

従来、ディジタル音源装置としては、第6図に示す回路が知られている。図において、中央処理装置(以下「CPU」)1には、アドレスバス2およびデータバス3を介して音源となる量子化データを記憶した半導体メモリ(以下「メモリ」という)4が接続される。そして、メモリ4に記憶されている量子化データを読出してディジタル／アナログ変換することにより、音を出力するため

のアナログ信号を発生する場合は、次のような処理によって行われる。

まず、第1ステップにおいて、CPU1は或る音を発生するための最初の量子化データを記憶している番地のアドレスデータをメモリ4に与えると同時に、読出信号Rをハイレベルとすることにより、最初の量子化データを読出し、これをアキュムレータ1aにロードする。第2ステップにおいて、CPU1はデータレジスタ6を指定するアドレスデータを発生してアドレスデコードに与えた後、書込信号Wを出力するとともに、アキュムレータ1aにロードしている量子化データをデータバス3へ出力する。これに応じて、アドレスデコード5は、アドレスデータをデコードすることにより、データレジスタ6への書込が指定されたことを検出して書込パルスWPをデータレジスタ6に与える。その結果、データレジスタ6が量子化データを読込み、次の書込パルスと量子化データが与えられるまで当該量子化データを一時記憶する。データレジスタ6に記憶されている量子化デ

ータは、ディジタル／アナログ（以下「D/A」という）変換回路7に与えられ、このD/A変換回路7によってアナログ信号に変換されて、別途接続される増幅回路（図示せず）等へ出力される。

このような動作がメモリ4の量子化データ記憶エリアの各番地に記憶されている量子化データを読出す毎に行われる。

（発明が解決しようとする課題）

従来技術によれば、CPU1が或る1つ番地の量子化データを読出してアナログ信号に変換させるために、①外部メモリ4のアドレス指定、②読出信号の出力、③データレジスタ6のアドレス指定、④書込信号の出力の各動作を順次実行しなければならない、音を発生するための処理時間が長くなる。そのため、CPU1の負担増加を招く。また、音の発生のためのプログラムステップ数も増えるので、プログラム開発に時間がかかり、メモリ容量の増大を招く。

特に、ディジタル音源装置がテレビゲーム機等のように画像表示又は画像処理と音の発生を伴う

情報処理装置に適用される場合は、音楽又は効果音等の発生のためのCPU1が画像表示又はアナログ音源のためのもので兼用されるので、音の発生のための処理に時間がかかるとその分だけ画像表示等の他の能力を低下させる。なお、画像表示能力の低下を防止するためには、高速のCPUを使用するか、音発生回路専用のCPUを使用することが考えられるが、その場合は高価となる。また、この方法は、既に販売されている情報処理装置との互換性を確保したい場合は適用できない。

それゆえに、この発明の主たる目的は、中央処理装置の負担を軽減でき、少ないステップ数で音の発生のための処理が可能、ディジタル音源装置を提供することである。

この発明の他の目的は、中央処理装置に着脱自在な外部メモリカートリッジの構成を変更することにより、既存または発売済の情報処理装置の構成を変更することなく、中央処理装置の負担を軽減でき、少ないステップ数で音の発生のための処理が可能、ディジタル音源装置に用いられる外

部メモリカートリッジを提供することである。

（課題を解決するための構成）

この発明のディジタル音源装置は、ディジタル的に情報を処理するための中央処理装置と、中央処理装置に接続されるアドレスバスならびにデータバスと、アドレスバスならびにデータバスに接続される半導体メモリと、データバスに接続される一時記憶手段ならびに書込制御手段と、アドレスバスに接続される検出手段と、ディジタル／アナログ変換手段とを備える。

そして、半導体メモリは、所定のアドレス空間に量子化データを記憶するための量子化データ記憶エリアと、中央処理装置からのアクセスに応じて少なくとも量子化データを読出制御するためのプログラムデータを記憶したプログラムデータ記憶エリアとを含む。量子化データ記憶エリアには、一連の音を発生するための複数の量子化データが量子化データ列として記憶され、かつ当該量子化データ列の最後のアドレスに終了コードが記憶される。プログラムデータ記憶エリア内の或るアド

レスには、或るアドレス範囲の量子化データ列の読出開始アドレスを指定するための読出開始アドレスデータが記憶される。一時記憶手段は、書込信号が与えられる毎にデータバスから与えられる各量子化データを順次一時記憶するものである。検出手段は、中央処理装置から半導体メモリに与えられるアドレスデータが量子化データ記憶エリアを指定するものであることを検出するものである。書込制御手段は、検出手段の出力がある毎に書込信号を発生して一時記憶手段に与えかつ終了コードを検出したとき書込信号の発生を停止するものである。ディジタル／アナログ変換手段は、一時記憶手段に一時記憶されている量子化データを順次アナログ信号に変換するものである。

一方、ディジタル音源装置に用いられる外部メモリカートリッジは、ディジタル的に情報を処理するための中央処理装置と、中央処理装置にそれぞれ接続される第1のアドレスバスおよび第1のデータバスと、第1のアドレスバスおよび第1のデータバスに接続されるコネクタとから構成され

る情報処理装置に対して着脱自在に構成され、半導体メモリと、基板と、一時記憶手段と、検出手段と、書込制御手段と、ディジタル／アナログ変換手段とを備える。

そして、半導体メモリは、所定のアドレス空間に量子化データを記憶するための量子化データ記憶エリアと、中央処理装置からのアクセスに応じて少なくとも量子化データを読出制御するためのプログラムデータを記憶したプログラムデータ記憶エリアとを含む。量子化データ記憶エリアには、一連の音を発生するための複数の量子化データが量子化データ列として記憶され、かつ当該量子化データ列の最後のアドレスに終了コードが記憶される。プログラムデータ記憶エリア内の或るアドレスには、或るアドレス範囲の量子化データ列の読出開始アドレスを指定するための読出開始アドレスデータが記憶される。基板は、情報処理装置側のコネクタに着脱自在とされ、コネクタに差込まれた際に第1のアドレスバスならびに第1のデータバスに接続される複数の端子部と、各端子部

を介して第1のアドレスバスならびに第1のデータバスを半導体メモリに接続するための第2のアドレスバスならびに第2のデータバスが形成される。一時記憶手段は、基板上に装着されかつ第2のデータバスに接続され、書込信号が与えられる毎に第2のデータバスから順次与えられる各量子化データを順次一時記憶するものである。検出手段は、第2のアドレスバスに接続され、中央処理装置から半導体メモリに与えられるアドレスデータが量子化データ記憶エリアを指定するものであることを検出するものである。書込制御手段は、第2のデータバスに接続され、検出手段の出力がある毎に一時記憶手段に書込信号を与えかつ終了コードを検出したとき書込信号の発生を停止するものである。ディジタル／アナログ変換手段は、一時記憶手段に一時記憶される量子化データを順次アナログ信号に変換して、基板の端子部を介してアナログ信号を出力するものである。

(発明の効果)

この発明のディジタル音源装置によれば、安価

にして中央処理装置の負担を軽減でき、少ないステップ数でディジタル的に音を発生するための処理を実現できる。

この発明のディジタル音源装置に用いられる外部メモリカートリッジによれば、既存または発売済の情報処理装置の構成を変更することなく、中央処理装置の負担を軽減でき、少ないステップ数で音の発生のための処理を実現できる。また、情報処理装置の構成を変更しないので、既に販売した機種との互換性を保つことができる。

(実施例)

第1図はこの発明のディジタル音源装置の一実施例のブロック図である。特に、第1図は音源システムの原理を示す。

図において、CPU 11には、アドレスバス12およびデータバス13を介して半導体メモリ14が接続される。メモリ14は、例えば第2図のCPUから見たメモリマップの8000H(但し、最後の桁のHは16進表示を表す)～FFFFHのメモリ空間で示すように、プログラムデータ記憶エリア14aと、

量子化データ記憶エリア14bとを含む。量子化データ記憶エリア14bには、一連の音を発生するための複数の量子化データ($X_1 \sim X_{n-1}$, $Y_1 \sim Y_{n-1}$...)が量子化データ列(X , Y ...)として記憶され、当該量子化データ列(X , Y ...)の最後のアドレスには終了(ストップ)コードが記憶される。ここで、量子化データとしては、楽器で演奏した音楽や人の声を量子化してパルス符号変調(PCM)したものに限らず、キーボード等の入力装置でプログラムの手法によって作成したものでもよい。

このように量子化データを記憶させることによって、複数の量子化データ列がまとまりのある音のデータとなり、所望の量子化データ列の最初のアドレス(すなわち読出開始アドレス)を指定すればストップコードを検出するまで連続的に量子化データを順次読出せばよい。その目的で、プログラムデータ記憶エリア14aには、所望の量子化データ列に対応する音を発生すべきタイミングに相当する或るアドレスに、或るアドレス範囲の量子化データ列(X 又は Y 等)の読出開始アドレス

を指定するための読出開始アドレスデータが予め記憶されている。また、ストップコードとしては、例えば無音を示すオールビット零のコードが用いられる。

一方、アドレスバス12には、アドレスデコーダ15が接続される。データバス13には、データレジスタ16、制御レジスタ18および読出・書込制御回路20が接続される。アドレスデコーダ15は、量子化データ記憶エリア14bを指定するアドレスを検出可能なデコーダを含んで構成される。また、アドレスデコーダ15は記憶エリア14bの範囲を指定するアドレスデータが変化する毎にその検出信号を読出・書込制御回路20に与え、書込信号 W が与えられたとき書込パルス WP を制御レジスタ18に与えるものである。データレジスタ16は例えば8ビットのD形フリップフロップ(以下「D-FF」と略称する)で構成される。制御レジスタ18は00ビットに対応する1ビットのD-FFで構成される。

読出・書込制御回路20は、アドレスデコーダ15

から量子化データ記憶エリア14bの範囲を示す検出信号が与えられる毎に書込パルス(WP)をデータレジスタ16に与え、そのときデータバス13を介して与えられる量子化データをデータレジスタ16にロードさせるとともに、ストップビットを検出したとき書込パルス WP の発生を停止して、データレジスタ16への書込を禁止するものである。この読出・書込制御回路20の詳細は、後述の第3図を参照して説明する。

データレジスタ16には、ディジタル/アナログ(以下「D/A」と略称する)変換回路17が接続される。D/A変換回路17は、データレジスタ16の記憶内容(量子化データ)をD/A変換し、アナログ信号を出力するものである。このアナログ信号が1つのまとまった量子化データ列だけ出力されると、1つの音が出力されることになる。そして、アナログ信号は、別途接続される増幅器(図示せず)を介してスピーカ(図示せず)に与えられ、音として出力される。

なお、制御レジスタ18は、本願のように自動的

に量子化データをデータレジスタ16へ書込む第1モード(エネーブル; E)と従来のようにCPU11が毎回書込アドレスを指定することにより書込む第2モード(ディスエーブル; D)を切り換えるためのデータ(00の1ビット)を一時記憶するのに用いられる。しかし、そのようなモード切り換えを必要としない用途には不要である。

なお、アドレスデコーダ15、データレジスタ16、D/A変換器17、制御レジスタ18及び読出・書込制御回路20は、生産効率の向上及び組立容易化のため、ワンチップ集積回路(IC)で構成しても良いことは勿論である。

第3図は読出・書込制御回路と関連回路の詳細図である。読出・書込制御回路20は、セレクト21、22と停止コード検出回路23と割込信号(IRQ)発生回路24とから構成される。この停止コード検出回路23は、停止(ストップ)コードとして無音を示すオールビット零のコードが用いられる場合、オールビット零を検出可能なデコーダで構成される。割込信号発生回路24は例えばD-FFで構成

される。

次に、第1図～第3図を参照して、第1図及び第3図の実施例動作を説明する。通常、CPU11はメモリ14のプログラムデータ記憶エリア14aに予め設定記憶されているプログラムに基づいて音発生以外の動作を実行しているが、デジタル音が発生する場合は以下の動作が行われる。

まず、本願の特徴となる音が発生する場合の動作、すなわち1ステップで量子化データをデータレジスタ16へ書き込むモード(第1モード)を述べる。音が発生すべきタイミングになると、CPU11は、読出・書込制御回路20の動作モードを第1モードに指定するために、モード指定データ(例えば、5010HのアドレスのD0ビットのデータ)をデータバス13を介して制御レジスタ18に与えるとともに、制御レジスタ指定アドレスデータ(例えば、5010H)をアドレスバス12へ出力することにより、モード指定データを制御レジスタ18にロードさせる。

その後、ある量子化データ列(例えばX)の音

を発生させるために、CPU11は出力すべき量子化データ列Xの先頭アドレスを指定するアドレスデータ(AD1)をアドレスカウンタ(図示せず)にプリセットしてアドレスバス12へ出力すると同時に、読出信号Rを出力する。このとき、アドレスデコータ15は、アドレスデータをデコードして、量子化データ記憶エリア14b(例えば、8000H～BFFFHの範囲のいずれかのアドレス)が指定されたことを検出し、システムクロックSCKに同期して1パルスが発生する。このパルスがセレクト22のB入力端子に与えられる。応じて、セレクト22は、そのとき制御レジスタ18から第1モードを示す信号(ハイレベル)が与えられているので、A入力端子への信号を書込パルスWPとしてデータレジスタ16に与える。

一方、メモリ14は、量子化データ列Xの先頭アドレスの指定に応じて、量子化データX1を読出し、データバス13を介してセレクト21のB入力端子に与える。このとき、セレクト21にはストップコード検出回路23からストップコード検出出力(ハイ

レベル)が与えられていないので、セレクト21はB入力端子からの量子化データX1を選択してデータレジスタ16に与える。従って、データレジスタ16は、量子化データX1をロード(一時記憶)する。この量子化データX1がD/A変換器17でD/A変換されてアナログ信号として出力される。

続いて、CPU11は、アドレスカウンタ(図示せず)を歩進させて次の量子化データX2を指定するためのアドレスデータが発生し、アドレスバス12へ出力する。応じて、アドレスデコータ15は、量子化データ記憶エリア14bが指定されたことを検出し、システムクロックSCKに同期して1パルスを出力する。この1パルスが、セレクト22を介して書込パルスWPとしてデータレジスタ16に与えられる。これと同時に、外部メモリ14から量子化データX2が読出され、データバス13を介してセレクト21のB入力端子に与えられ、それがデータレジスタ16の入力となる。そのため、データレジスタ16は量子化データX2をロードする。

以後、同様にして、CPU11が量子化データ列

Xの各番地を順次指定することにより、量子化データ記憶エリア14bを指定するアドレスデータが変化する毎に書込パルスWPがデータレジスタ16に与えられると同時に、アドレス指定された量子化データが読出されるので、データレジスタ16には各量子化データが順次記憶されることになる。このようにして、データレジスタ16に順次記憶された量子化データX1～Xnは、D/A変換器17でD/A変換されてアナログ信号として出力されるが、一連の量子化データ(すなわち量子化データ列Xのデータ)がアナログ信号として出力されることにより、ある1つの音又は音楽が発生されることになる。

そして、CPU11が量子化データ列Xの最後のアドレス(ADn+1)を指定すると、メモリ14からストップコードが読出される。このストップコードがデータバス13を介してセレクト21および停止コード検出回路23に与えられる。このとき、上述の動作と同様にして、アドレスデコータ15が1パルスが発生しかつセレクト22が書込パルスWPを出力

するので、データレジスタ16はストップコードを（無音を表すオールビット零のコード）ロードする。このストップコードの読出しに応じて、停止コード検出回路23がそれを検出し、セレクト21にハイレベルを与える。そのため、セレクト21は以後A入力端子からのデータをデータレジスタ21に与える。従って、ストップコード（オールビット零のデータ）がデータレジスタ16及びセレクト21を循環しながらデータレジスタ16にロードされ続ける。その結果、D/A変換回路17が連続的に零レベルのアナログ信号を出力するので、無音状態となる。

これと同時に、割込信号発生回路24は、停止コード検出回路23からハイレベルがありかつセレクト22からクロックパルスが与えられていることに応じて割込信号（IRQ）を発生し、停止コード検出回路23がオールビット零以外のデータを検出してその出力をローレベルとするまで持続する。

一方、CPU11は、プログラム処理に基づいて割込信号の有無を検出すべきタイミングで割込信

号の読込みを指定するアドレス（例えば5010H-R）を発生する。これに応じて、アドレスデコード15が割込信号の読込みを示す信号を発生してゲート回路25を開成させるので、ゲート回路25はIRQ信号をデータバス13へ出力する。なお、第1図実施例に示すように、データバス13を介さずにIRQ信号をCPU11に直接与える場合は、ゲート回路25が不要となる。

また、量子化データ列Yの量子化データY1~Ynに基づいて音を発生する場合は、CPU11が先頭アドレス(An+1)を指定した後、順次アドレスをAn+2~Anまで歩進することにより、同様の動作が行われる。但し、CPU11が1ステップで各量子化データをデータレジスタ16へ書き込むモードの設定は、一旦設定するとモード変更する必要のない限り、不要となる。

ところで、第3図の実施例は、第6図に示す従来方式による音の発生も可能なように、CPU11が1ステップで各量子化データをデータレジスタ16へ書き込む第1モードと、第6図に示す従来技術

と同様に2ステップで各量子化データをデータレジスタ16へ書き込むモード（第2モード）を切換え可能に構成されている。そこで、次に2ステップで書き込む第2モードの動作を説明する。

第2モードの場合は、制御レジスタ18に対応するアドレス（例えば5010H）のD0ビットに第2モードを指定するデータ（例えば、論理「0」）が設定されている。そして、CPU11は、量子化データの読出しに先立ちアドレス5010Hを指定して、第2モード指定データを制御レジスタ18に予めロードさせておく。この場合は、制御レジスタ18が不能動化信号を出力しない（すなわちローレベルの不能動化信号を出力する）ので、セレクト22が不能動化される。従って、たとえ無音を表すオールビット零のデータがメモリ14から読出されたとしても、割込信号発生回路24はIRQ信号を発生しないように構成されている。

そして、2ステップで各量子化データをデータレジスタ16へ書き込む第2モードを使用する場合は、プログラムデータ記憶エリア14aには量子化デ

タの読出アドレスデータとデータレジスタ16に書き込みを指定する書込アドレスデータが2ステップでプログラム設定され、量子化データ記憶エリア14bの各量子化データ列の最後にはストップコードがプログラム設定されていない。そして、CPU11は、第1ステップにおいて、或る1つの量子化データの読出アドレスデータの記憶されているアドレスを指定することにより、当該アドレスから量子化データを読込んで、アキュムレータ（図示せず）にロードする。

その後、CPU11は、第2ステップにおいて、データレジスタ16への書込を指定するアドレスデータ（5011H-W）を出力する。これがアドレスデコード15によって検出され、アドレスデコード15がデコード出力をセレクト22のA入力端子に与える。セレクト22はA入力端子への入力信号がある毎に書込パルスWPを発生してデータレジスタ16に与える。そのため、メモリ14から量子化データが読出され、データバス13を介してセレクト21に与えられる。セレクト21はB入力端子に与えられる量子

化データを選択して、データレジスタ16に与えるため、データレジスタ16はこの量子化データをロードする。

上述のような2ステップで量子化データをデータレジスタ16へ書込む動作が各量子化データ毎に実行される。なお、D/A変換回路17の動作は1ステップで書込を行う第1モードと同様であるので省略する。

なお、プログラムの設計上、従来技術と同様の第2モードを全く必要としない用途に適用する場合は、制御レジスタ18によるモード切換回路とモード切換のためのプログラムデータの設定が不要となる。

次に、本願の特徴となる1ステップで量子化データを書込む第1モードが従来の2ステップで量子化データを書込む第2モードよりもCPU11の負担を軽減できる理由を説明する。

第4A図および第4B図は第1図実施例(すなわち第1モード)と第6図の従来技術(第2モード)を比較するためのプログラムの図解図と書込

動作のタイムチャートを示す図であり、特に第4A図はプログラムの図解図、第4B図は動作タイムチャートを示す。

第4A図において、1つの音が5つの量子化データで表現される場合を考えれば、本願実施例では量子化データX1~X5がオペランドとしてアドレスAD1~AD5に順次記憶され、ストップコード(STPC)がその直後のアドレスAD6に記憶される。

一方、第6図の従来例では、量子化データX1~X5とデータレジスタへの書込を指定するデータR-ADがオペランドとして交互にアドレスAD1~AD10に順次記憶される。ここで、命令語の「RDA」はデータの読出命令を示し、「STA」はデータレジスタへのロード命令を示す。なお、図示の例では、マシクロックの4サイクルで1ステップを実行する場合を示している。

そこで、タイムチャートを比較すると、本願実施例では、1ステップ(4サイクル)期間の前半で読出アドレス指定が行われ、後半で量子化データの読出しと同時にデータレジスタ6への書込み

が行われている。これに対して、従来技術では、奇数ステップ期間の前半で読出アドレス指定が行われかつ後半でアキュムレータにロードされている量子化データの書込が行われ、偶数ステップ期間の前半で書込アドレス指定が行われかつ後半でアキュムレータにロードされている量子化データを読出すと同時にデータレジスタ6への書込が行われる。

従って、本願実施例によれば、従来方式に比べて約1/2のプログラムステップ数で済み、音の発生のための処理時間が約1/2に短縮でき、CPU11の負担を大幅に軽減できる。また、CPU11の負担を同程度に減ぶならば、CPU11が音の発生に關与する処理時間を短縮することによりその他の処理に利用できる。さらに、プログラムステップ数を低減できることにより、プログラム開発に要する時間の短縮と労力の軽減を図れる利点もある。このような効果ないし利点は、画像表示のための制御と音の発生処理を同時的に行うような情報処理装置、例えばテレビゲーム機において

極めて有効となる。そこで、以下には本願発明をテレビゲーム機に適用した場合について説明する。

第5図はこの発明の他の実施例のブロック図であり、特にテレビゲーム機に適用した場合のテレビゲーム機本体30とこの実施例の特徴となる外部メモリカートリッジ40のブロック図を示す。

図において、テレビゲーム機本体30はCPU11'を含み、CPU11'はアナログ音源回路11aを含む。アナログ音源回路11aは、例えば2種類の方形波と三角波と正弦波の4種類のサウンドジェネレータを含む。アナログ音源回路11aの出力は、第1アナログ信号として出力され、エッジコネクタ31を介して後述の外部メモリカートリッジ40へ導かれる。

一方、CPU11'には、第1のアドレスバス12および第1のデータバス13を介してエッジコネクタ41が接続される。エッジコネクタ31には、画像用アドレスバス32およびデータバス33を介して画像処理装置(以下「PPU」と略称する)34が接続される。このPPU34は、CPU11'の制御の

下で、後述のキャラクタメモリ46から与えられるキャラクタデータに基づいて走査形ディスプレイの走査に同期したドットデータを発生し、映像信号として出力するものであり、例えば特開昭59-11814号(対応USP. 4824106)の技術が用いられる。

外部メモリカートリッジ40は、エッジコネクタ31に着脱自在に構成され、エッジコネクタ31に装着した際に電氣的に接続される複数の端子が形成された基板41を含む。基板41には、第1のアドレスバス12に接続される第2のアドレスバス42、第1のデータバス13に接続される第2のデータバス43、PPU用アドレスバス32に接続されるアドレスバス44、およびPPU用データバス33に接続されるデータバス45がそれぞれ形成される。そして、第2のアドレスバス42および/または第2のデータバス43には、第1図実施例と同様にして、メモリ14'、アドレスデコーダ15、データレジスタ16、制御レジスタ18、および/または読出・書込制御回路20がそれぞれ接続される。アドレスバス44お

よびデータバス45には、キャラクタメモリ46が接続される。

メモリ14'はプログラムデータ記憶エリア14a'と量子化データ記憶エリア14bを含む。量子化データ記憶エリア14bには、第1図実施例と同様にディジタル音源として用いるための量子化データが記憶される。プログラムデータ記憶エリア14a'には、PPU46を制御して画像表示するためのプログラムデータに加えて、アナログ音源回路11a'でアナログ的に音を発生するためのデータが記憶される。例えば、サウンドジェネレータのどの種類の単一又は組合せのサウンドジェネレータを選ぶかを指定するためのサウンド種類データや、音程又は音色を指定するための周波数や波形等のデータ等が記憶される。これらのアナログ音源用データは単独で記憶するのみならず、量子化データと同期して出力できるようにプログラム設定しておけば、アナログ音源とディジタル音源の2系統の音を合成して発生することが可能となり、変化に富んだ音を発生でき、効果音としても有効とな

る。また、プログラムデータ記憶エリア14a'には、IRQ信号があったときに元の画像表示のための動作に復帰するためのプログラムデータも設定記憶される。

そして、A/D変換回路17の出力である第2アナログ信号を、音源回路11a'出力の第1アナログ信号と合成して出力するために、A/D変換回路17の出力端からの導電パターンが抵抗47aを介して基板41のエッジ部分の端子48aまで延びるように形成される。また、端子48aには、アナログ音源回路11a'からの第1アナログ信号の出力ラインに対応する位置の端子48bおよび抵抗47bを介して形成された導電パターンが接続される。これによって、第1アナログ信号と第2アナログ信号とが基板41上で合成された後、エッジコネクタ31を介してテレビゲーム機30から導出されることになる。なお、この実施例のアドレスデコーダ15、データレジスタ16、A/D変換回路17、制御レジスタ18および読出・書込制御回路20の動作は、第1図実施例と同様のため、その説明を省略する。

第5図実施例のように構成すれば、既存のテレビゲーム機30の回路構成を変更することなく、外部メモリカートリッジ40側にディジタル音源を追加することができ、既存のテレビゲーム機30と互換性を保ちつつ音色や音の種類に変化に富んだ音源を実現できる利点がある。そのため、従来テレビゲーム機30ではできなかったディジタル音声合成による言葉や複雑な音楽やシンセサイザのような音も発生できる。

4、図面の簡単な説明

第1図はこの発明の一実施例のディジタル音源装置のブロック図である。

第2図はCPUのメモリ空間を図解的に示したメモリマップである。

第3図は読出・書込制御回路と関連回路の詳細図である。

第4A図および第4B図は第1図実施例(第1モード)と第6図の従来例(第2モード)を比較するためのプログラムの図解図と書込動作のタイムチャートを示す図であり、特に第4A図はプロ

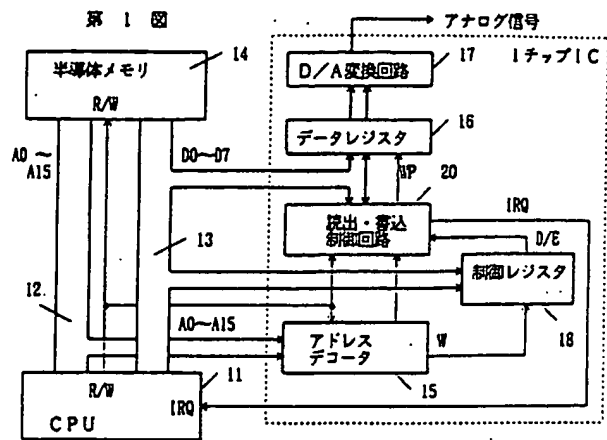
グラム図解図、第4B図は動作タイムチャートを示す。

第5図はこの発明の他の実施例のブロック図であり、特にテレビゲーム機に適用した場合のテレビゲーム機本体30とこの発明の特徴となる外部メモリカートリッジ40のブロック図を示す。

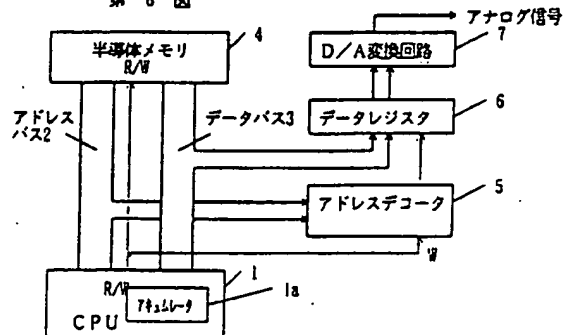
図において、11及び11'はCPU（情報処理装置）、14及び14'は半導体メモリ、14aはプログラムデータ記憶エリア、14bは量子化データ記憶エリア、15はアドレスデコーダ（検出手段）、16はデータレジスタ（一時記憶手段）、17はD/A変換回路、18は制御レジスタ、20は読出・書込制御回路（書込手段）、30はテレビゲーム機本体、40は外部メモリカートリッジを示す。

特許出願人 任天堂株式会社

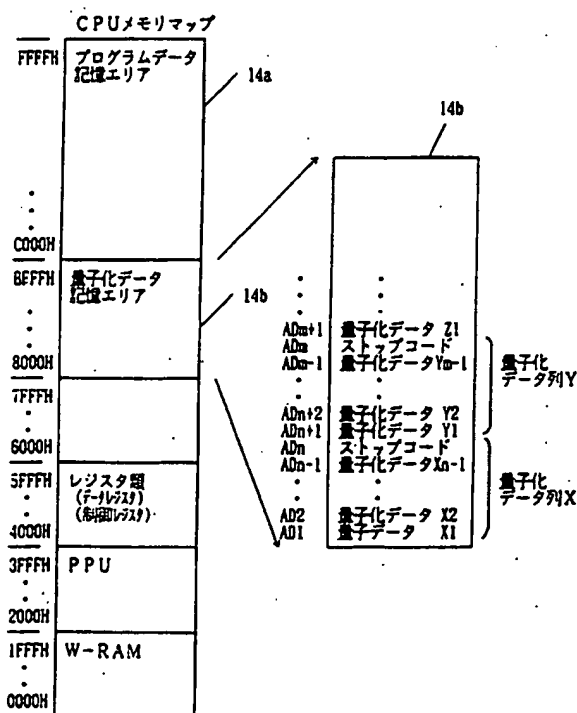
第1図



第6図



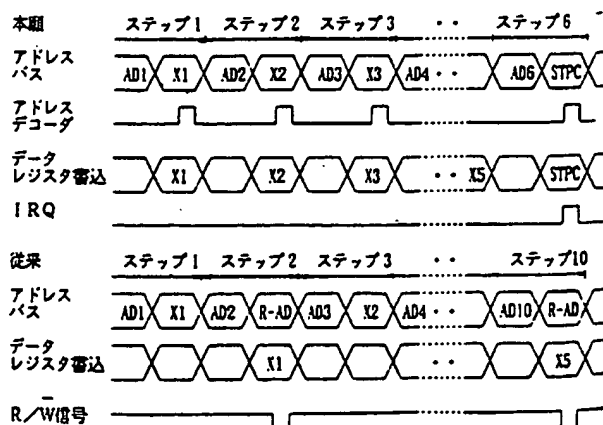
第2図



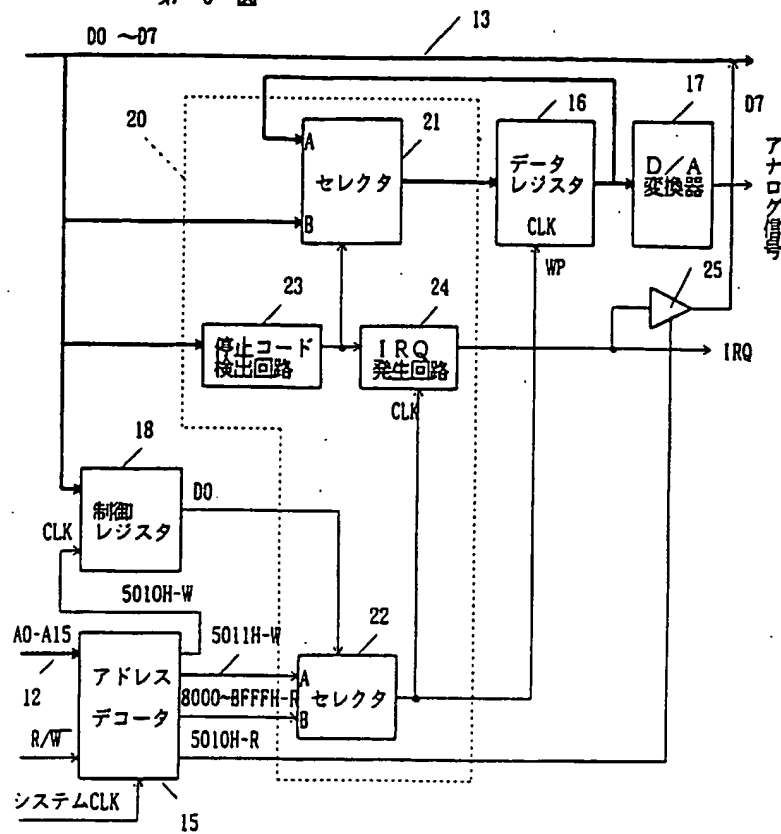
第4A図

アドレス	命令	本題 オペランド	サイクル	従来技術 オペランド	サイクル
AD 1	LDA	X1	4	LDA	X1
AD 2	LDA	X2	4	STA	R-AD
AD 3	LDA	X3	4	LDA	X2
AD 4	LDA	X4	4	STA	R-AD
AD 5	LDA	X5	4	LDA	X3
AD 6	LDA	STPC	4	STA	R-AD
AD 7	-	-	-	LDA	X4
AD 8	-	-	-	STA	R-AD
AD 9	-	-	-	LDA	X5
AD 10	-	-	-	STA	R-AD

第4B図



第 3 図

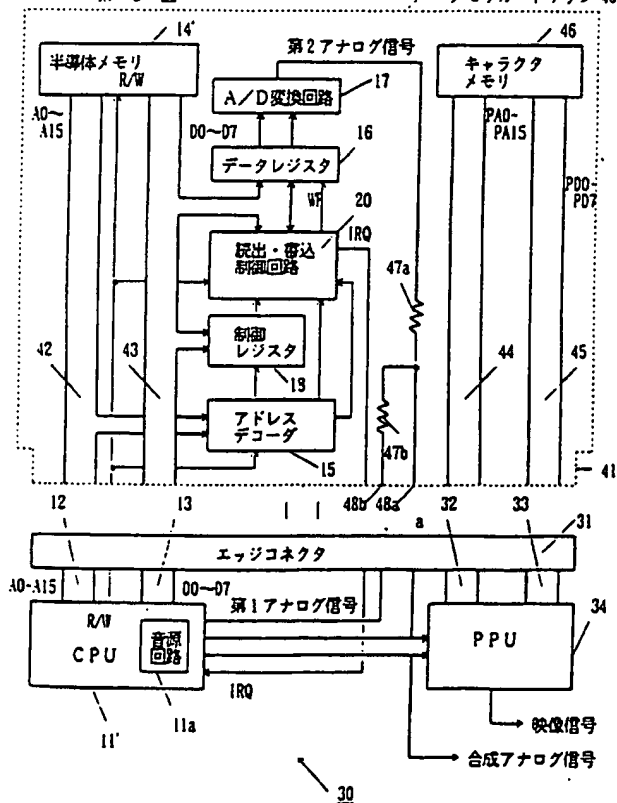


手続補正書 (方式)

平成 2 年 4 月 9 日

第 5 図

メモリカートリッジ 40



特許庁長官殿

1. 事件の表示

平成 2 年特許願 第 1 6 4 7 3 号

2. 発明の名称

ディジタル音源装置、およびそれに用いられる外部メモリカートリッジ

3. 補正をする者

事件との関係 特許出願人

住所 〒605 京都市東山区福福 4 丁目 10 番地

名称 任 天 堂 株

代表者 山 内 博

TEL 075 (541) 6111 (内330)

4. 補正命令の日付

平成 2 年 4 月 2 4 日

5. 補正の対象

明細書の図面の簡単な説明の欄



6. 修正の内容

- (1) 明細書第35頁第6行を下記の文章に訂正する。

記

メモリカートリッジ40のブロック図を示す。

第6図は従来のデジタル音源装置の一例の回路図を示す。

以上

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

02546677 **Image available**
GRAPHIC DISPLAY DEVICE

PUB. NO.: 63-163577 [JP 63163577 A]
PUBLISHED: July 07, 1988 (19880707)
INVENTOR(s): MIZUTA MASANORI
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 61-309297 [JP 86309297]
FILED: December 25, 1986 (19861225)

ABSTRACT

PURPOSE: To share a keyboard and a CRT display device, to reduce a cost and to improve an operability by switching which graphic processor processes data inputted from one set of the keyboard.

CONSTITUTION: The two graphic processors 3, 4 are logically connected to an interface 105 between the keyboard 17 and a keyboard connecting part 8 by the logically same interface 104. A picture synthesis logical part 5 synthesizes graphic displaying data outputted from the graphic processors 3, 4 and displays it on a CRT display part 6 according to a multiwindow display. The screen of the CRT display part 6 is the multiwindow display and constituted of a window A, a window B and a back plane C. For instance, the window A is controlled by the graphic processor 3 and the window B and the back plane C are controlled by the graphic processor 4. Thereby, the wastefulness in the constitution of a system is eliminated and the operability can be improved.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.